

CXL과 소부장

CONTENTS

01/	CXL 소개	05
02/	CXL의 기술 구조	09
03/	관련 업체	17
04/	결론	23

Glossary

용어	정의
CXL	컴퓨팅 인터페이스의 한 종류로, CPU, GPU, 메모리 등의 연결을 보다 효율적으로 활용할 수 있게 구성한 표준 인터페이스
인터페이스	서로 다른 두 개의 시스템이나 장치 사이에서 정보나 신호를 주고받는 경우의 접점이나 경계면. 사용자가 기기를 쉽게 동작시키는 데에 도움을 주는 시스템
PCIe	컴퓨터 내부 부품들을 연결하는 인터페이스의 표준. GPU, SSD, 이더넷 카드, RAID 카드 등 고속 부품에 주로 사용. 기존 PCI 버스 규격에서 발전한 형태로, 데이터 전송 속도가 2배 이상. 인텔 주도 하에 PCI-SIG에서 결정한 표준
통신규약	컴퓨터 상호 간에 접속되어 오류를 최소화함으로써 정보를 원활히 교류할 수 있게 하기 위해 필요한 규칙의 집합 (프로토콜이란 같은 뜻)
Warm Data	Hot data와 cold data에 속하지 않는 데이터 종류로, 일정 기간 동안에만 자주 액세스되는 데이터
패브릭	네트워크 디바이스가 상호 연결된 구조로, 데이터센터 네트워크 아키텍처에서 주로 사용
PHY	컴퓨터 네트워크에서 물리 계층이란 뜻으로, 네트워크의 기본 하드웨어 전송 기술을 구현하는 계층(layer)
ACF	Accelerated Compute Fabric. 디바이스 내 여러 네트워크 계층을 축소하여 성능 향상을 목표로 하는 구조
폰 노이만 구조	가장 보편적으로 사용되고 있는 컴퓨터 구조로 CPU, 메모리, 프로그램으로 구성

자료: 유진투자증권

01

CXL 소개

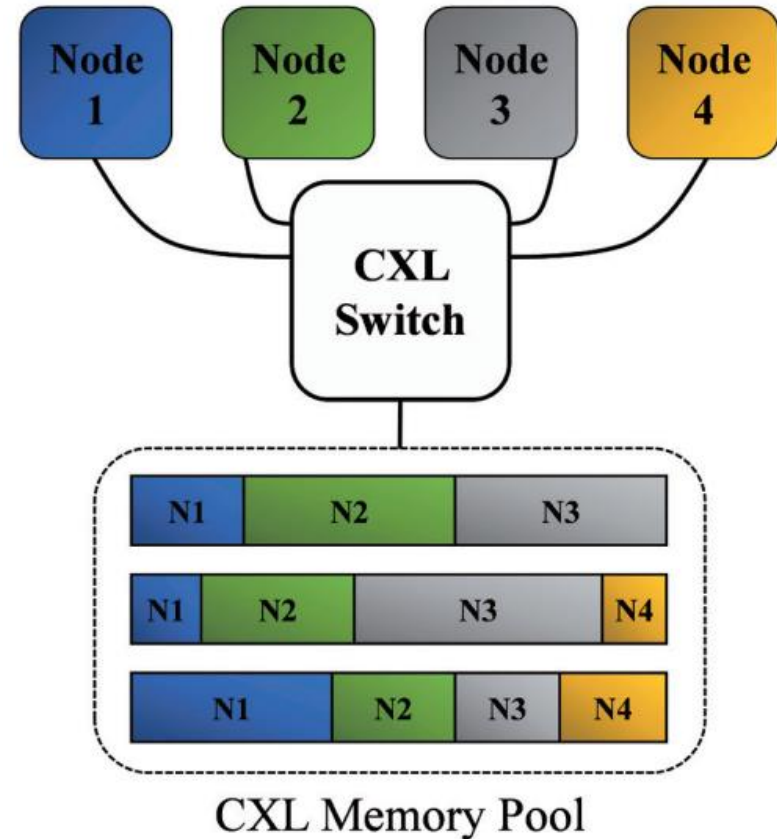
CXL이란?

CXL, Compute Express Link

빠르게 연결해서 연산한다

- 컴퓨팅 시스템들을 효율적으로 묶어 빠른 연산이 가능하도록 구성한 차세대 인터페이스. 기존에는 GPU와 CPU, 메모리 스토리지 등의 인터페이스가 다 달라 효율적으로 연결하기 어려웠는데, CXL은 기존에 여러 개로 나뉜 인터페이스를 하나로 통합
- CXL은 PCIe를 기반으로 여러 개로 나뉜 인터페이스와 통신 규약(프로토콜)을 통합
- 이렇게 통합하는 이유는 1)시스템 연산 속도와 데이터 처리 속도를 높이고 2)메모리를 효율적으로 활용하고자 하는 니즈가 커졌기 때문
- 쉬운 비유: CPU, GPU, DRAM이 각자의 컵으로 물을 마시다가 물이 모자라면 옆 사람에게 이만큼 달라, 이만큼 가져가라 소통이 많아지면서 딜레이가 생김 → CXL 컨트롤러라는 중앙 장치의 지시 아래 엄청 큰 물통에서 각자 원하는 만큼의 물을 빠르게 가져갈 수 있게 되었다.
- +기존에는 가상 메모리 기술을 활용하여 부족한 메모리 용량을 해결하고자 했는데, 이는 더 느린 속도와 에러 발생 가능성 확대 등의 리스크가 있었음. 메모리 내 자주 사용하지 않는 내용을 보조기억장치로 옮겼다가, 데이터가 필요해지면 다시 메모리로 불러오는 식이기 때문에 속도가 느리다는 문제가 있음

CXL 메모리 풀링 구조



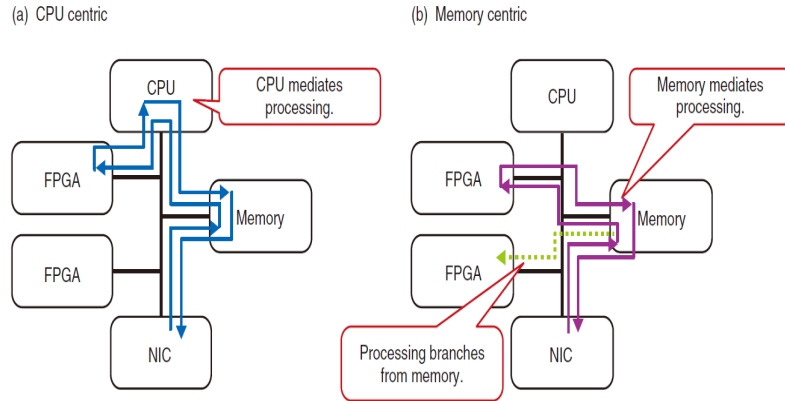
자료: ETRI, 유진투자증권

CXL, Compute Express Link

확장성과 속도를 위해 출발한 아이디어

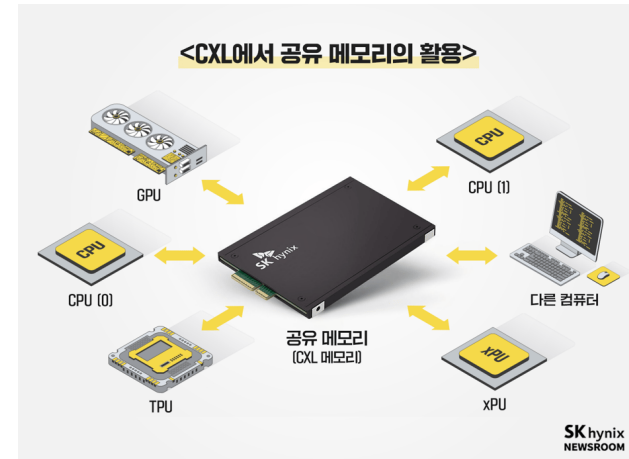
- CXL은 핫 데이터와 콜드 데이터 사이의 warm data를 대규모로 중간 어딘가에 넣어놓고자 하는 니즈에서 출발
- 애매한 데이터를 다루기에 CPU나 GPU 전용 DRAM에 비해 상대적으로 대역폭이 작음
- 메모리가 부족한 장치에 CXL 구조를 사용하게 되면, 서버 교체 없이 메모리를 확장한 효과를 누릴 수 있음
- 고대역폭 연결을 지원하기 때문에 한번에 핸들링할 수 있는 데이터의 양이 늘어난다는 것이 효율적
- 쉬운 비유: CXL 컨트롤러가 필요한 물의 양을 파악하고 잘 분배해주어 물이 늘어난 듯한 효과를 볼 수 있다. 물을 조금씩 주고 받지 않고 큰 물통에서 받아갈 수 있기 때문에 다룰 수 있는 물의 양이 늘어난다.

CPU 중심에서 메모리 중심 컴퓨팅 구조로



자료: NTT, 유진투자증권

CXL에서 공유 메모리의 활용



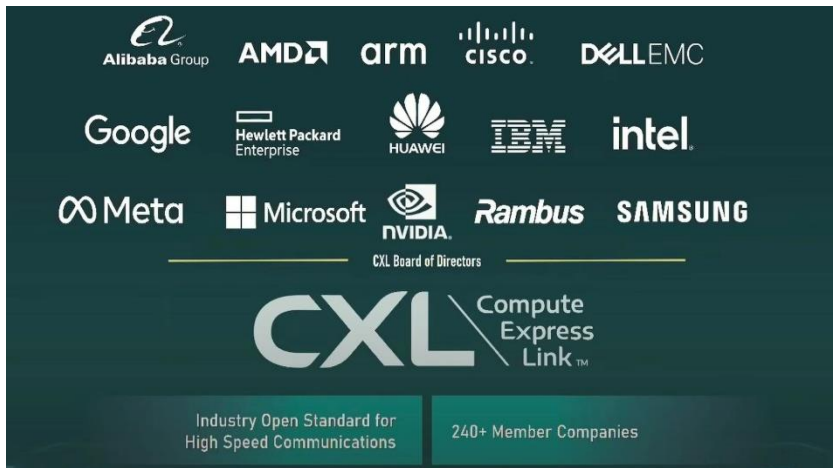
자료: SK하이닉스, 유진투자증권

CXL, Compute Express Link

CXL 컨소시엄

- 2019년 인텔이 주도하는 x86 기술 진영에서 결성되어 삼성전자, 엔비디아, 마이크로소프트 등 15개의 이사회 멤버사를 보유했다가, 지금은 240개 사 이상으로 확장
- CXL이라는 규격 자체는 지키는 게 어렵지 않아 다양한 회사들이 뛰어 들 수 있는 시장인 것 맞지만, 그 규격을 어떻게 풀어나가서 고객사를 확보하고 만족스러운 스펙의 제품으로 상용화하는지가 경쟁의 관건
- HBM은 대역폭을 늘린다는 것에 초점을 맞춘, '성능' 우선 제품이라면 CXL은 대역폭은 줄이되 메모리를 공유하여 크게 쓰게끔 용량을 늘린 각 칩 간의 '연결'과 '가성비' 우선 제품으로 출발선이 다름. 이에 엄청난 하이엔드 기술을 필요로 하는 AI 학습 및 작업에는 크게 핏하지 않을 수 있다는 의견도 있음

CXL 컨소시엄 멤버 (Board of Directors)



자료: CXL, 유진투자증권

CXL 컨소시엄 멤버 (Contributors)



자료: CXL, 유진투자증권

02

CXL의 기술 구조

프로토콜, 장치, 그리고 버전별로

CXL 프로토콜의 종류

CXL.io, CXL.memory, and CXL.cache

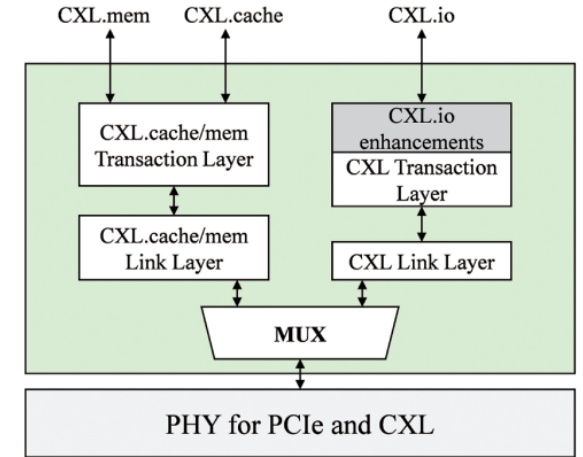
- 프로토콜이란 컴퓨터나 네트워크 장치가 서로 통신할 때 따르는 규칙의 집합. 호환에 초점을 둔 체계로, 이런 공통의 언어로 전송하는 데이터의 형식, 오류 처리 방법, 신호 체계 등을 정의
- CXL의 주요 서브 프로토콜은 세 가지로, .io, .cache, .mem으로 구성
- 쉬운 설명: CXL 호스트에 연결되면 CXL.io를 통해 검색, 열거, 구성, 관리가 이루어진다. CXL.cache는 CXL 장치가 프로세서 메모리에 액세스 할 수 있게 해주며, CXL.mem은 프로세서가 CXL 장치 메모리에 액세스할 수 있게 한다. 이 중 .cache와 .mem 프로토콜 스택은 저지연에 최적화된 프로토콜이다.

CXL 하위 프로토콜의 계층과 구조

서브 프로토콜명	개념	구조
CXL.io	장치 탐색, DMA(Direct Memory Access) 등 PCIe와 유사한 기능을 제공하는 서브 프로토콜	<ul style="list-style-type: none"> ▪ PCIe의 기능 이외에도 CXL 장치 접근 시 PCIe의 지연 시간이 개선 ▪ 모든 CXL 장치 유형에서 공통으로 사용되는 서브 프로토콜 ▪ 초기화, 기기 연결 등을 실행하는 가장 기본적인 규칙
CXL.cache	호스트(CPU)의 캐시 메모리와 CXL 장치의 캐시 메모리 간 일관성을 유지하는 데에 활용, 필요한 데이터는 가까이 저장하는 캐싱에 효과적	<ul style="list-style-type: none"> ▪ 비대칭형 프로토콜로서 호스트 프로세서가 캐시 일관성에 대한 책임을 지고, 캐시 일관성이 훼손되는 경우 snoop transaction을 통해 일관성을 유지 ▪ 일관성 유지 프로토콜은 MESI(Modified, Exclusive, Shared, Invalid)를 사용
CXL.memory	호스트(CPU)가 캐시 라인 단위로 메모리 접근법을 통해 주변장치의 메모리에 접근할 수 있게 하는 기능	<ul style="list-style-type: none"> ▪ 호스트(CPU)는 주변 장치의 메모리를 자신의 로컬 메모리처럼 사용 ▪ DRAM과 SSD 구조를 모두 지원하는 프로토콜

자료: 유진투자증권

CXL 프로토콜 구조



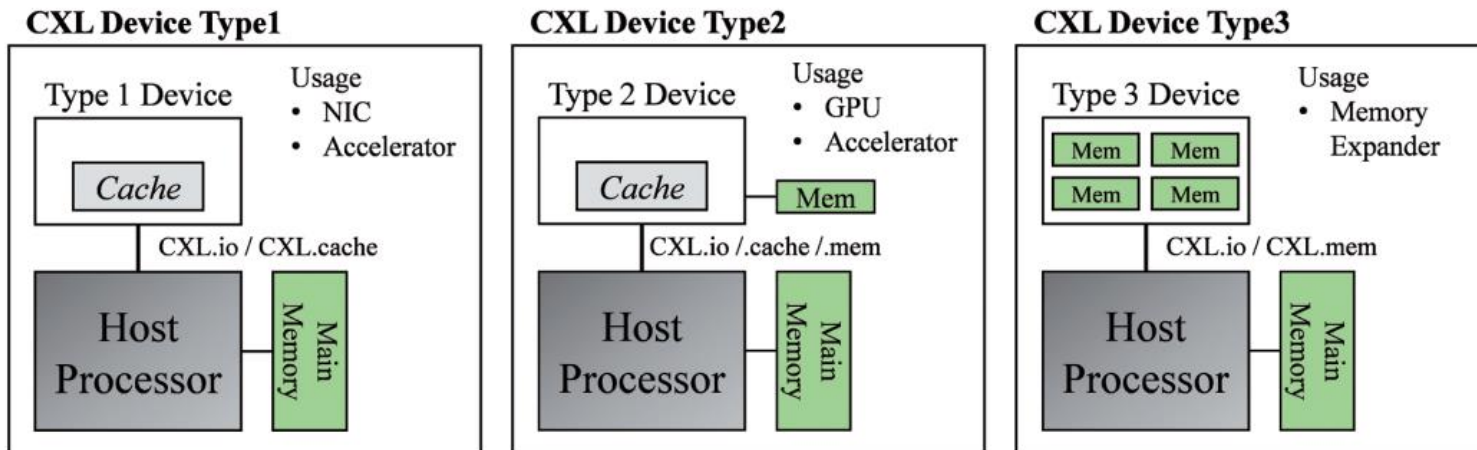
자료: ETRI, 유진투자증권

CXL 장치의 종류

CXL 프로토콜을 조합하여 장치를 세 가지로 분류

- Type 1 CXL Device: 호스트(CPU)의 캐시 메모리와 일관성을 유지하는 캐시를 가지나, 호스트가 관리하는 메모리는 따로 가지지 않은 유형
ex. NIC(Network Interface Card), 가속기(호스트가 관리하는 메모리가 없는 유형)
- Type 2 CXL Device: .io, .cache, .mem 세 가지 서브 프로토콜을 모두 사용하는 호스트(CPU)와 완전히 일관성을 유지하는 캐시를 가지는 동시에 호스트가 관리하는 장치 메모리도 있는 유형. 넓은 대역폭을 이용하여 더욱 복잡한 연산 처리에 유용
ex. HBM 등 메모리가 내장된 GPU 카드 또는 FPGA 보드
- Type 3 CXL Device: .io와 .mem 서브 프로토콜을 지원하며 호스트가 관리하는 메모리로 구성된 장치 유형. 메모리 용량과 대역폭 늘리기 위해서는 메모리 채널을 추가해야 하는데, 이는 공학적 복잡성을 증가시키고 고비용 야기. Type 3 장치를 통해 CPU 메모리 채널 개수 늘리지 않고 유연하게 용량 및 대역폭 늘리기 가능
ex. DRAM, NAND로 구성된 메모리 확장장치

CXL 장치 유형



CXL 버전의 종류

CXL 버전은 현재까지 총 세 가지 소개됨

- 2019년 인텔에서 제안한 1.0 버전을 시작으로 1.1, 2.0, 3.0 버전까지 공개
- CXL 1.0, 1.1: 이기종의 자원 간 유연한 연결과 메모리 용량 및 대역폭 확대 수요 충족이 목적. PCIe 5.0의 기능에 일관성 유지 메커니즘과 메모리 시맨틱 접근 메커니즘을 추가한 것이 특징. 호스트(CPU)와 장치 1개 간의 1:1 연결 표준으로 출발
- CXL 2.0: 여러 컴퓨팅 노드들이 풀링된 자원에 CXL 스위치를 통하여 접근하는 메커니즘을 제공. 단일 컴퓨팅 노드가 메모리 또는 가속기를 과도하게 구성할 필요가 없어 일시적 수요도 유연하게 대응 가능. Memory overprovisioning 문제를 효율적으로 해결하는 등 TCO(Total Cost of Ownership)을 크게 줄임 → CXL 2.0부터 메모리 풀링 기능을 처음으로 지원
- CXL 3.0: PCIe 6.0을 기반으로 PAM4 신호 전송 메커니즘을 도입, 기존 대비 통신 대역폭을 2배로 증가시킴과 동시에 통신 지연 시간 효율화

CXL 1.0, 1.1 버전을 활용한 케이스

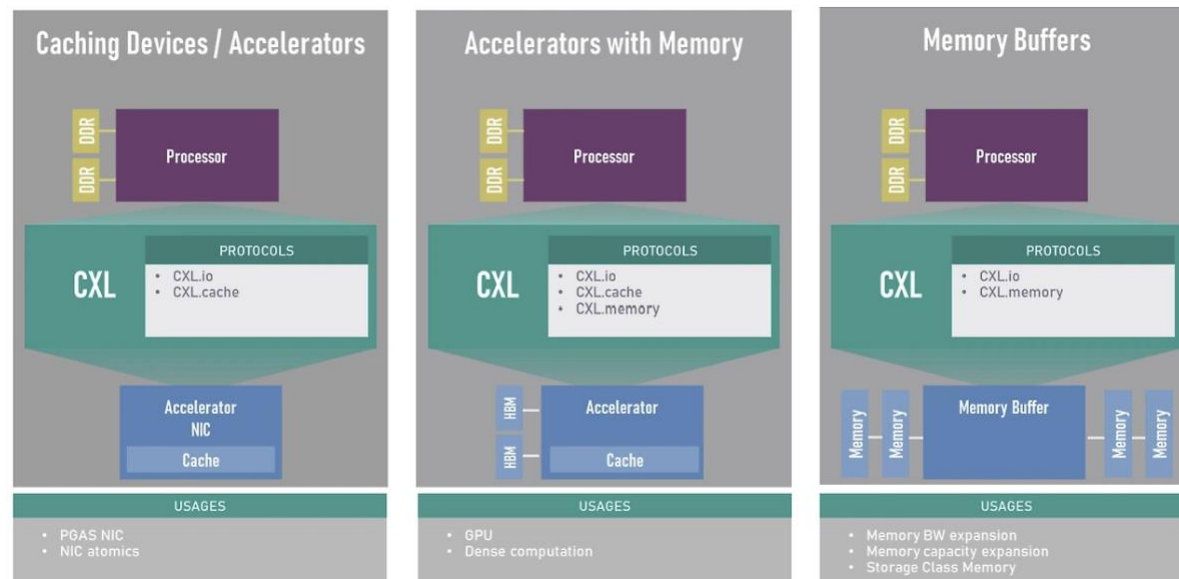


Figure 1: Representative Usage Cases enabled by CXL 1.0 and CXL 1.1

자료: CXL 컨소시엄, 유진투자증권

CXL 버전의 종류

CXL 2.0 버전을 활용한 케이스

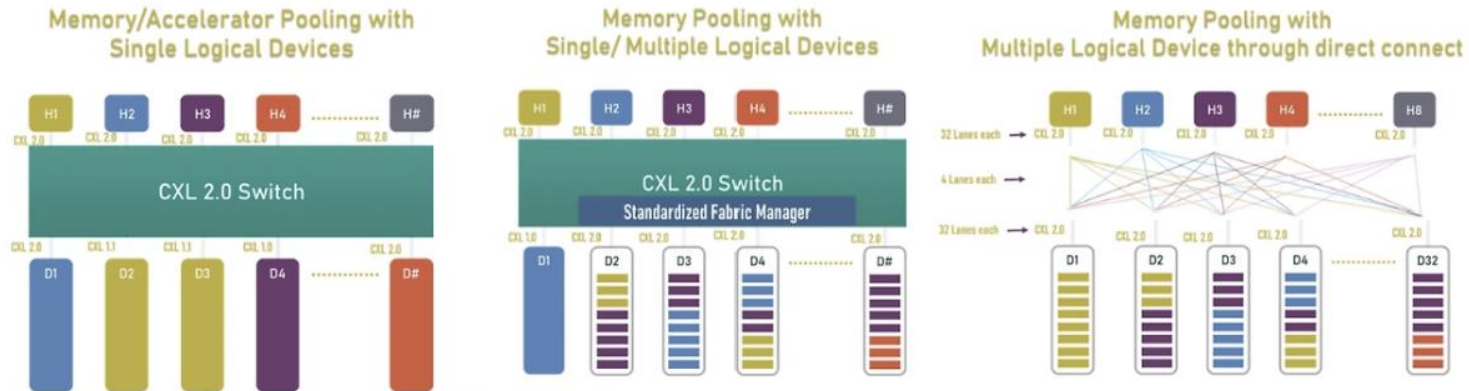


Figure 3: Pooling of CXL devices with or without a CXL 2.0 switch

자료: CXL 컨소시엄, 유진투자증권

CXL 3.0 버전을 활용한 케이스

Features	CXL 1.0 / 1.1	CXL 2.0	CXL 3.0
Release date	2019	2020	1H 2022
Max link rate	32GT/s	32GT/s	64GT/s
Flit 68 byte (up to 32 GT/s)	✓	✓	
Flit 256 byte (up to 64 GT/s)			✓
Type 1, Type 2 and Type 3 Devices	✓		✓
Memory Pooling w/ MLDs		✓	✓
Global Persistent Flush		✓	✓
CXL IDE		✓	✓
Switching (Single-level)		✓	✓
Switching (Multi-level)			✓
Direct memory access for peer-to-peer			✓
Enhanced coherency (256 byte flit)			✓
Memory sharing (256 byte flit)			✓
Multiple Type 1/Type 2 devices per root port			✓
Fabric capabilities (256 byte flit)			✓

Figure 2: CXL Features over Generations

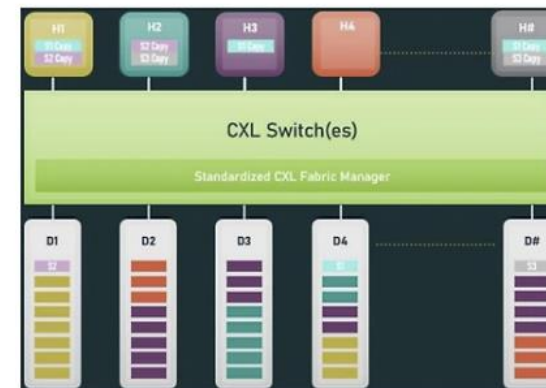


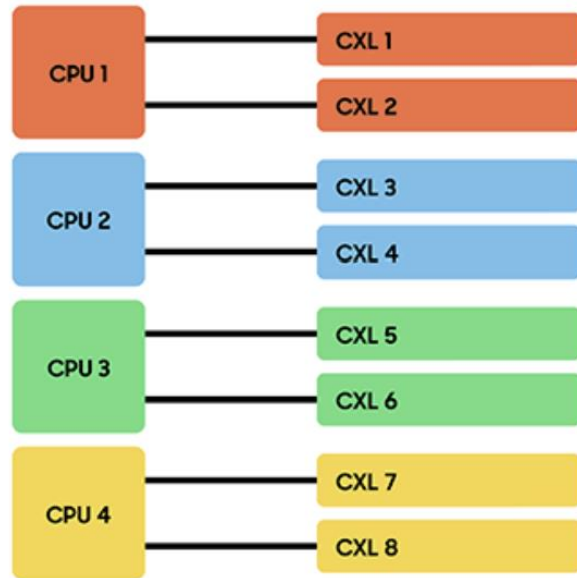
Figure 4: CXL 3.0 Memory Pooling and Sharing

자료: CXL 컨소시엄, 유진투자증권

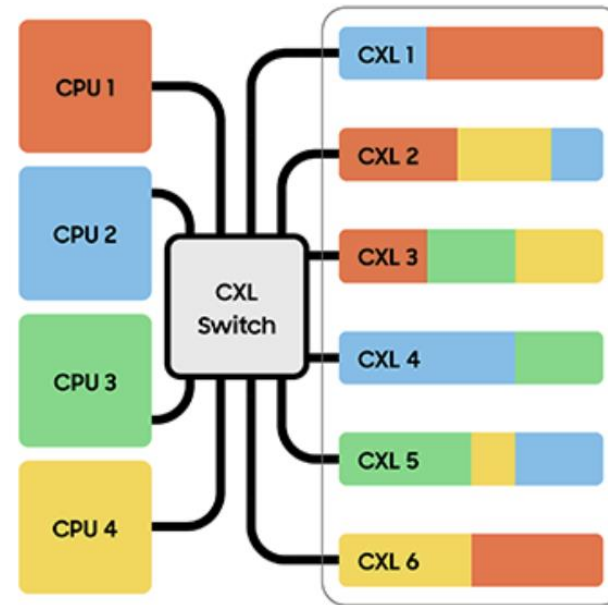
CXL 버전의 종류

CXL 1.1과 2.0 버전의 차이

CXL 1.1 Memory Expansion



CXL 2.0 Memory Pooling



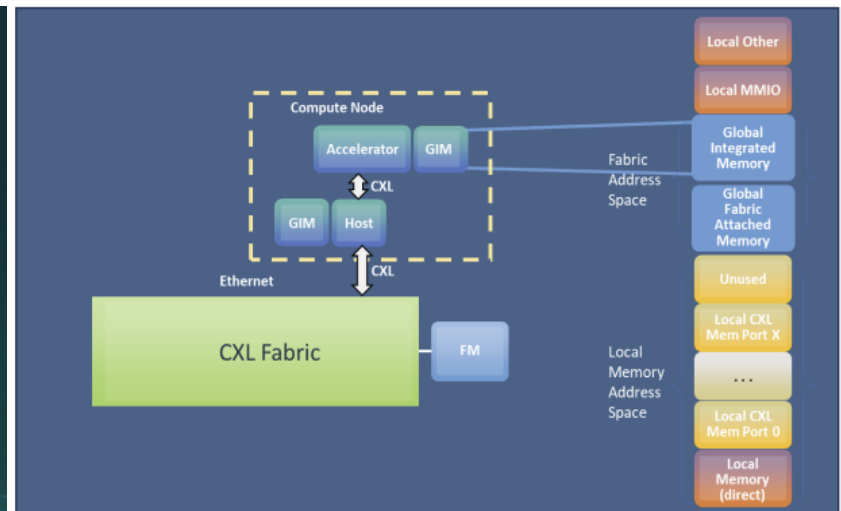
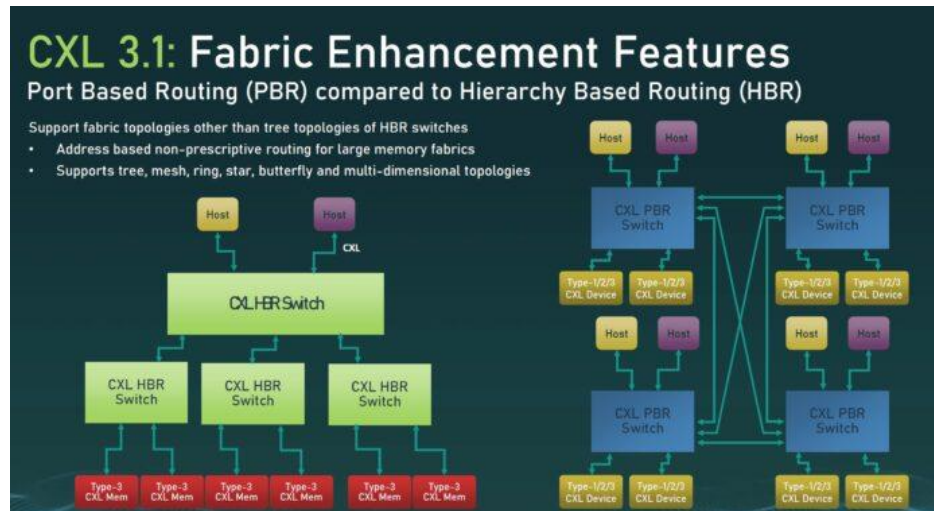
자료: 삼성전자, 유진투자증권

CXL 버전의 종류

CXL 3.1 공개

- 2023년 11월 CXL 3.1 버전이 공개되면서 새로운 패브릭 구조가 소개됨. CXL 3.0이 이전 버전과 다른 멀티패스 구조를 제공했다면, 거기에 PBR(Port Based Routing) 스위치에 대한 CXL Fabric Manager API가 공개. 기존 HBR(Hierarchy Based Routing)에 비해 다양한 구조를 지원
- 호스트(CPU) 간 로컬 메모리를 공유하는 GIM(Global Integrated Memory)라는 개념을 소개. 원격의 다른 호스트나 장치들이 GIM에 접근할 수 있게 한 구조이나, 캐싱이나 메모리 풀 용도는 아니기 때문에 .cache와 .mem 사용은 제한
- 이외에도 가상화 기반의 보안 프로토콜을 지원하고, 메모리 확장 장치를 개선하여, 차세대 메모리 인터커넥트로써의 위치를 지키는 중
- 하지만 CXL 1.1과 2.0이 적용된 디바이스가 이제 막 출시되었기 때문에 지켜봐야 할 필요

CXL 3.1 버전 기능



자료: CLX 컨소시엄, 유진투자증권

편집상의 공백페이지입니다

03

CXL 관련 업체

산업 동향

CXL 관련 제품 생산 업체와 현황

CXL 서플라이 체인

<p style="text-align: center;">메모리</p> <p style="text-align: center;">→ 국내 기업들의 주도권 아래 시장 형성 전망</p>	<p style="text-align: center;">CPU</p> <p style="text-align: center;">→ CXL 2.0 DRAM은 개발됐으나 CPU는 아직 없는 상태</p>
<ul style="list-style-type: none"> ▪ 삼성전자: CXL DRAM 등 관련 메모리 개발 및 양산에 가장 적극적 ▪ 2022년 최초로 CXL Type 3 메모리 확장기 프로토타입을 출시했으며 이번달에는 업계 최초로 CXL 메모리 소프트웨어 개발 솔루션 또한 오픈소스 기반으로 공개, 시장 주도권 확보를 위해 노력 중 	<ul style="list-style-type: none"> ▪ 인텔: 2023년부터 Sapphire Rapids, Emerald Rapids 등을 출시 ▪ 2024년 상반기 출시하는 Emerald Rapids에 CXL 2.0 버전 지원 계획 발표했으나, 1.1버전까지 지원하기로 결정 ▪ 이후 제온6 프로세서인 시에라 포레스트를 통해 2.0 버전 지원 예상
<ul style="list-style-type: none"> ▪ SK하이닉스: 2022년 PCIe 5.0 기반 96GB CXL 메모리 샘플 출시 ▪ 뒤이어 CXL 메모리 생태계 확대를 위한 CXL 메모리 전용 HMSDK(Heterogeneous Memory Software Development Kit) 개발 ▪ 올해 1분기 말에는 CXL DRAM CMM-DDR5 양산 시작 예정 	<ul style="list-style-type: none"> ▪ ARM: Neoverse V 시리즈와 데이터센터용 N 시리즈가 CXL 3.0 버전을 지원
<p style="text-align: center;">스위치</p> <p style="text-align: center;">→ CXL 규격 변화를 위해 필수적인 역할로, IP 통합이 핵심</p>	<p style="text-align: center;">컨트롤러</p> <p style="text-align: center;">→ 2029년 7.6억달러 시장 형성 전망</p>
<ul style="list-style-type: none"> ▪ Enfabrica: 고속 네트워크를 활용한 ACF CXL 스위치 개발 중이며 이는 대용량 메모리를 캐시 용도로 사용할 수 있게 지원 가능 	<ul style="list-style-type: none"> ▪ Montage Technology: 중국 팹리스 업체로 2022년 세계 최초 CXL 메모리 컨트롤러 상용화하여 시장 독점적 위치 점유. 삼성전자와 SK하이닉스가 양산 준비 중인 메모리에 당사 컨트롤러 전량 탑재 예정
<ul style="list-style-type: none"> ▪ Xconn Technologies: CXL 2.0 버전 SoC 스위치 최초 개발. 하나의 스위치에 메모리 장치 30개씩 장착하여 최대 15TB 구성 가능 	<ul style="list-style-type: none"> ▪ 삼성전자: CXL 컨트롤러 자체 개발 중. DRAM과 NAND 개발실 모두 컨트롤러 개발 중이며 앞서 언급한 Montage를 이원화 하고자 하는 의지로 풀이

자료: 유진투자증권

CXL 관련 제품 생산 업체와 현황

CXL 관련 국내 업체 현황

기업	현황
삼성전자	<ul style="list-style-type: none"> 2021년 5월 세계 최초 CXL 기반 DRAM 기술 개발 2022년 5월 세계 최초 512GB의 고용량 CXL DRAM 개발 2023년 5월 세계 최초 CXL 2.0 버전 DRAM 개발 2023년 12월 CXL 관련 상표 4종 출원(삼성 CMM-D, 삼성 CMM-DC, 삼성 CMM-H, 삼성 CMM-HC) (CMM은 CXL Memory Module로 JEDEC에서 설정한 CXL 기반의 메모리 표준 규격) CMM-D의 경우 기존 데이터센터나 서버의 SSD를 장착한 슬롯 그대로 사용이 가능 2024년 6월 세계 최초 레드햇 인증 CXL 인프라 구축
SK하이닉스	<ul style="list-style-type: none"> 2022년 8월 CXL 2.0 버전 96GB DRAM 샘플 개발 2022년 10월 CXL 메모리에 연산 기능을 통합한 차세대 메모리 솔루션 CMS(Computational Memory Solution) 2.0 등 CXL 솔루션 3종 발표 2024년 5월 CXL DEVCON 2024 참가, CMM-DDR5 전시. 기존 DDR5에 비해 대역폭 +50%, 용량 +100% 개선 2025년 1월 CES 2025 참가, 카드 형태의 CXL 메모리 제품인 CMM-Ax 전시. 내부에 NMP(Near Memory Processing) 탑재해 연산 기능 개선
네오셈	<ul style="list-style-type: none"> CXL 2.0 버전 메모리 양산용 검사장비 지난해 7월 초도 출하, 이는 세계 최초로 국내 메모리 고객사에게 공급 CXL 3.0 버전 장비도 개발 중에 있으며, 과거 1.1 버전용 검사장비를 공급한 이력이 있음
엑시콘	<ul style="list-style-type: none"> 삼성전자의 CXL 2.0 DRAM 하반기 양산 계획에 맞춰 검사 장비 도입 전망
파두	<ul style="list-style-type: none"> 미국 자회사인 Eeum(이음)이 CXL 스위치 칩 개발 및 판매 담당 지난해 미국 FMS에서 차세대 SSD 컨트롤러와 함께 CXL 솔루션을 공개
티엘비	<ul style="list-style-type: none"> 삼성전자와 SK하이닉스의 CXL 개발에 참여, 메모리 모듈 PCB 개발 완료 및 2025년부터 매출 발생 기대
파네시아	<ul style="list-style-type: none"> KAIST 출신이 대표로 재직 중인 팹리스 스타트업으로 로컬 CXL 기술로 800억원 초기 투자 유치 CE 2024에서 CXL 기반 AI 가속기가 혁신상을 수상하기도 했으며, 최신 CXL 3.0 버전 컴퓨팅 솔루션 1차 검증 진행 중

자료: 유진투자증권

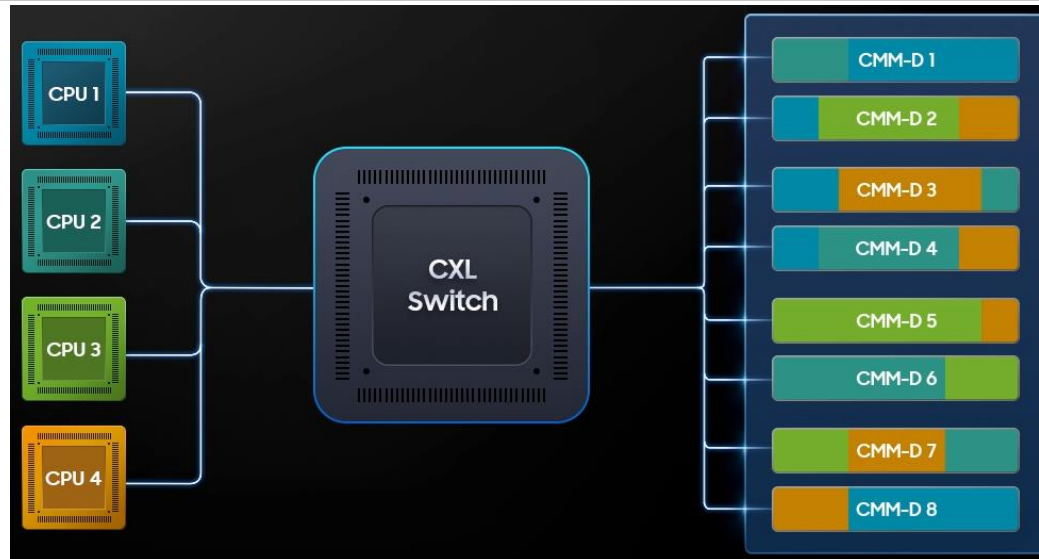
삼성전자의 CXL 기술

삼성전자의 CMM-D



자료: 삼성전자, 유진투자증권

CXL 스위치를 활용한 메모리 풀링



자료: 삼성전자, 유진투자증권

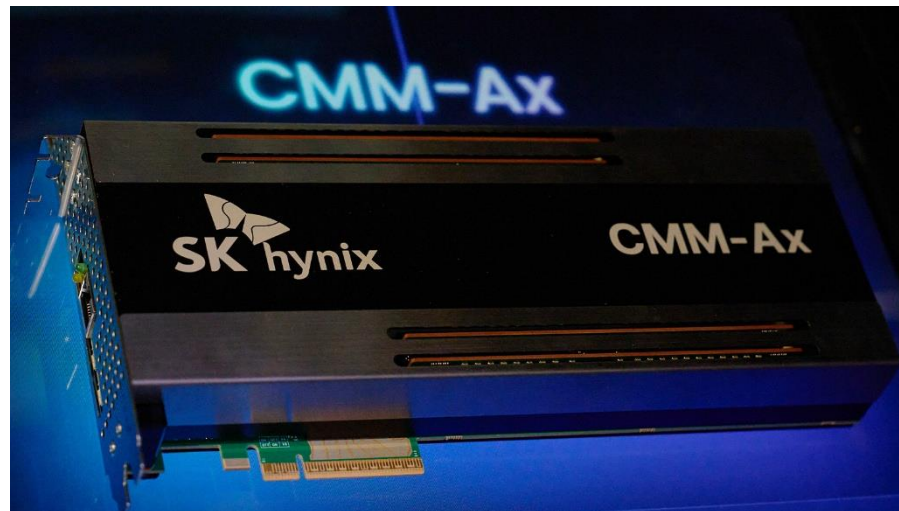
SK하이닉스의 CXL 기술

SK하이닉스의 CMM-DDR5



자료: SK하이닉스, 유진투자증권

SK하이닉스의 CMM-Ax



자료: SK하이닉스, 유진투자증권

편집상의 공백페이지입니다

04

결론

열리지 않은 시장이 주는 걱정과 기대

CXL 예상 시장 규모

세계 CXL 시장 규모는 2028년 160억달러 예상

- AI 시장 확대 및 이에 따른 HBM 수요 증가가 주목을 받으면서 CXL 또한 비슷한 시각으로 보는 시장의 기대는 2026년부터 가닥이 잡힐 전망
- 세계 CXL 시장 규모는 프로토타입만 있던 2023년 1,400만달러(190억원)에서 2028년 160억달러(21.7조원)로 예상
- 160억달러 시장을 비교해보자면 예칭 장비, 증착 장비, ASIC 칩 시장 정도의 규모와 비슷하며 인텔이 지원받기로 한 CHIPS ACT 보조금보다 소폭 적은 규모
- 다양한 제품군 가운데 CXL DRAM과 메모리 확장기 시장 규모의 성장세가 각각 7.3%, 6.9%로 두드러질 것으로 기대
- CXL이 응용된 서버 CPU 채용율은 2026년 50% 넘기면 2028년에는 주류 기술이 될 것으로 전망

CXL 시장 규모 전망

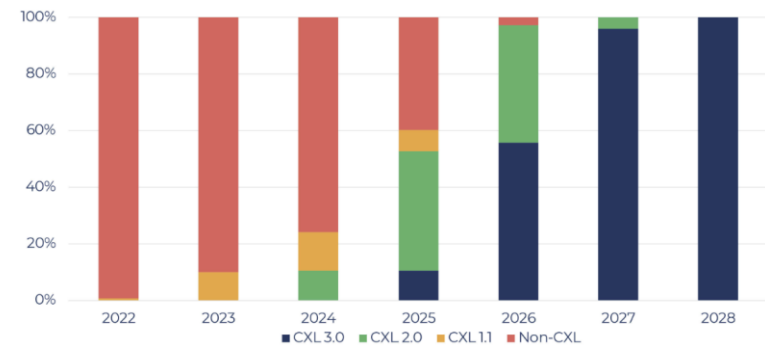


자료: Yole, 유진투자증권

CXL 적용 CPU 서버 점유율 전망

2022-2028 CXL CAPABLE SERVER CPU VOLUME MIX BREAKDOWN BY CXL VERSION (% OF TOTAL UNITS)

Source: Memory-Processor Interface 2023 - Focus on CXL report, Yole Intelligence, 2023



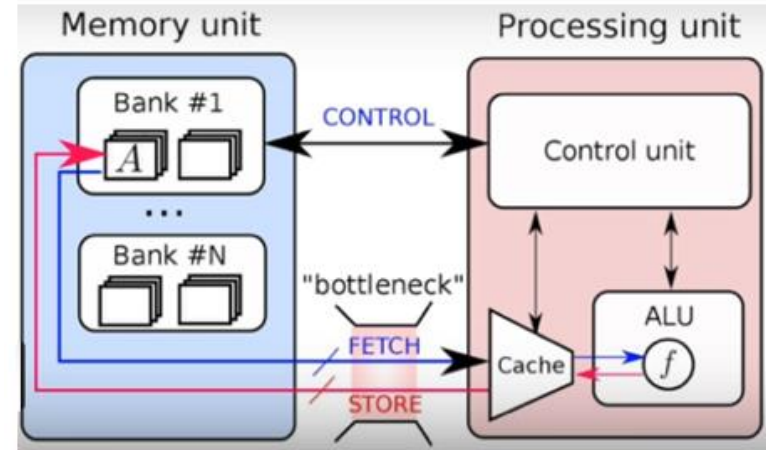
자료: Yole, 유진투자증권

CXL 시장에 대한 견해

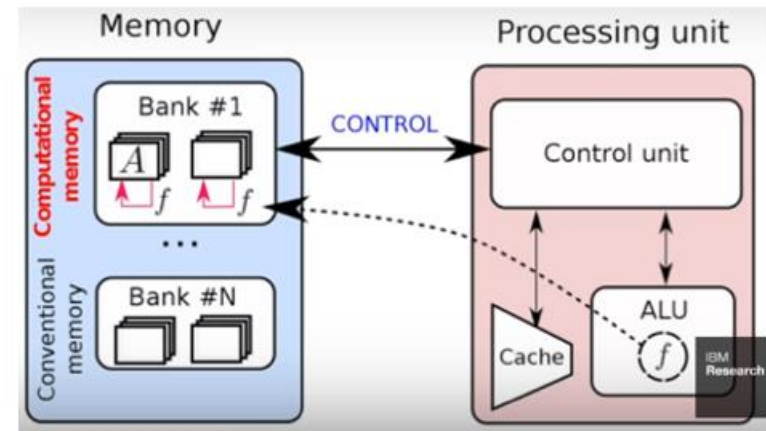
컴퓨팅의 헤게모니를 메모리로 가져올 수 있을까?

- 지금의 컴퓨터 시스템 구조인 폰 노이만 구조는 로직 반도체 하위 계층에 메모리 반도체가 자리함. 하지만 데이터센터와 슈퍼컴퓨터 등 다수의 개별 서버를 모아 만들어지는 인프라에서는 해당 구조가 비효율적. 각 로직 밑에 개별 하부 메모리시스템을 가지고 있기 때문에 전체적인 비효율성을 야기
- 뿐만 아니라 현재는 로직 반도체와 직접 연결된 메모리 크기에 한계가 있어, 한꺼번에 처리할 데이터 크기가 메모리 크기보다 크면 연산을 쪼개서 분할하는 등의 추가 프로세스가 필요해지면서 효율성 하락
- 하지만 그렇다고 CXL 도입을 적극적으로 하기에는, 기업들이 기존 컴퓨팅 구조를 완전히 뒤엎고 구축부터 유지 보수, 확장까지 새로운 국면이 열린다는 점에서 소극적인 태도 유발할 수 있음. 뿐만 아니라 모순적이게도 메모리 풀링으로서 효율성을 극대화한다는 건 다른 말로 많은 용량의 메모리가 필요 없어질 수도 있다는 뜻
- HBM과는 적용의 목적이 다르기 때문에 (성능에 집중한 HBM 메모리 칩, 효율성에 집중한 CXL 구조) 보완적으로 활용될 전망
- 엔비디아나 AMD 등도 이론을 적용할 뿐 CXL 구조를 직접적으로 채용하지 않고 있음. 엔비디아의 경우 개별 GPU로 한 번에 많은 작업량을 소화하기 때문에 latency 문제가 크게 부각되지 않음. NV Link라는 고유의 구조를 통해 해결 가능하다고 판단

폰 노이만 구조와 메모리 중심의 컴퓨팅 구조



Conventional von Neumann architecture



Computational memory architecture

자료: IBM Research, 유진투자증권

Compliance Notice

당사는 자료 작성일 기준으로 지난 3개월 간 해당종목에 대해서 유가증권 발행에 참여한 적이 없습니다. 당사는 본 자료 발간일을 기준으로 해당종목의 주식을 1% 이상 보유하고 있지 않습니다. 당사는 동 자료를 기관투자자 또는 제3자에게 사전 제공한 사실이 없습니다. 조사 분석담당자는 자료작성일 현재 동 종목과 관련하여 재산적 이해관계가 없습니다. 동 자료에 게재된 내용들은 조사분석담당자 본인의 의견을 정확하게 반영하고 있으며, 외부의 부당한 압력이나 간섭없이 작성되었음을 확인합니다. 동 자료는 당사의 제작물로서 모든 저작권은 당사에게 있습니다. 동 자료는 당사의 동의없이 어떠한 경우에도 어떠한 형태로든 복제, 배포, 전송, 변형, 대여할 수 없습니다. 동 자료에 수록된 내용은 당사 리서치센터가 신뢰할 만한 자료 및 정보로부터 얻어진 것이나, 당사는 그 정확성이나 완전성을 보장할 수 없습니다. 따라서 어떠한 경우에도 자료는 고객의 주식투자의 결과에 대한 법적 책임소재에 대한 증빙자료로 사용될 수 없습니다

투자기간 및 투자등급/투자의견 비율		
종목추천 및 업종추천 투자기간: 12개월 (추천기준일 증가대비 추천종목의 예상 목표수익률을 의미함)		당사 투자의견 비율 (%)
· STRONG BUY(매수)	추천기준일 증가대비 +50%이상	0%
· BUY(매수)	추천기준일 증가대비 +15%이상 ~ +50%미만	96%
· HOLD(중립)	추천기준일 증가대비 -10%이상 ~ +15%미만	4%
· REDUCE(매도)	추천기준일 증가대비 -10%미만	0%

(2024.12.31 기준)